

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-167042

(43) 公開日 平成5年(1993)7月2日

(51) Int. Cl. ⁵

H01L 27/112

G11C 17/12

識別記号

庁内整理番号

F I

技術表示箇所

8831-4M

H01L 27/10

433

9191-5L

G11C 17/00

304

B

審査請求 未請求 請求項の数2 (全8頁)

(21) 出願番号 特願平3-332071
 (22) 出願日 平成3年(1991)12月16日

(71) 出願人 000003078
 株式会社東芝
 神奈川県川崎市幸区堀川町72番地
 (72) 発明者 岩瀬 平
 神奈川県川崎市幸区堀川町580番1号
 株式会社東芝半導体システム技術センター
 内
 (74) 代理人 弁理士 佐藤 一雄 (外3名)

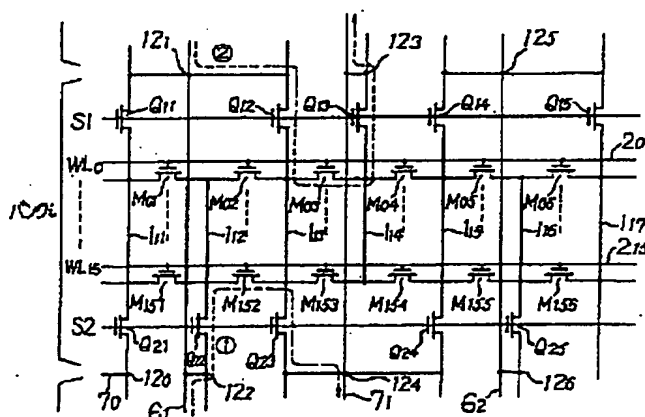
(54) 【発明の名称】 読出専用メモリ

(57) 【要約】

【目的】 マスクROMのチップサイズを小型にし、メインビット線及び仮想グランド線の配線容量を減少して、大容量かつ高速な読出動作を実現する。

【構成】 メインビット線及び仮想グランド線間には3本のビット線が存在し、これによってメインビット線及び仮想グランド線間にはワード線方向に2つのメモリトランジスタ列が形成される。このため、メインビット線及び仮想グランド線をジグザグに配線せずとも、ビット線とメインビット線間、あるいはビット線と接地線間の接続を断続するトランジスタを適切にオンオフ制御することにより所望のメモリセル列の選択が可能となる。

【効果】 メインビット線及び仮想グランド線を直線状に配置することが可能となる。



1

【特許請求の範囲】

【請求項1】 平行な4本を単位グループとして繰り返し配列された複数のビット線と、
前記ビット線と直交する複数のワード線と、
前記ビット線及び前記ワード線の交差部をソース及びドレイン領域とし、前記交差部に挟まれる部分をチャンネル領域とするメモリセルトランジスタ群と、
前記単位グループの第1及び第3のビット線の順方向側端と第2のビット線の一端とがトランジスタを介して接続される複数のメインビット線と、
前記単位グループの第3のビット線の逆方向側端及び第4のビット線の一端と、次単位グループの第1のビット線の逆方向側端とがトランジスタを介して接続される複数の仮想接地線と、
を基本となる記憶領域に備えることを特徴とする読出専用メモリ。

【請求項2】 前記ビット線はN⁺拡散層により形成されることを特徴とする請求項1記載の読出専用メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、いわゆるマスクROM (Read Only Memory) に関し、特に、NOR型マスクROMに関する。

【0002】

【従来の技術】 大容量のマスクROMのメモリセルとして、メモリセルのソース、ドレインをN⁺拡散層により形成し、このN⁺拡散層と直交するようにワード線を配置したNOR型マスクROMが使用されるようになってい

る。
【0003】 図8及び図9は、このようなマスクROMのメモリセルアレイの回路構成例及びメモリセルアレイの平面図を示している。

【0004】 同図において、上下方向に配設されたビット線1はN⁺拡散層、左右方向に配設されたワード線2はポリサイドによって形成される。ビット線1とワード線2が交差するように配置され、交差部にMOSトランジスタのソース及びドレイン領域、該交差部の間に該MOSトランジスタのチャンネルが形成されるフラットセル3はNOR型構成である。フラットセル3は、チャンネルへの不純物拡散量の相違等の手法により、セルが保持すべき情報ビットに対応して所定のゲート電圧により導通し、あるいは非導通となるようになされる。フラットセルはN⁺拡散層をビット線としているので、これの抵抗及び接合容量が大きくなるため、図示しないバンク選択回路構成を用いてこれらを大幅に低減することにより、フラットセルの特徴であるNOR型を生かし、高速読み出しを可能としている。各バンクは、ビット線1の両端に夫々接続された偶数バンク選択トランジスタ4及び奇数バンク選択トランジスタ5と、16本のワード線WL₁、～WL₁₆を夫々ゲート電極とした16個のメモリセル

2

により構成されており、メモリアレイはビット線1方向に256バンクに分割されている。ビット線1は、バンク選択トランジスタ4及び5を介してA1 (アルミニウム) で形成された主ビット線6に接続されている。主ビット線6の下方端部はコラム選択線CSによって制御されるコラム選択トランジスタ13を介してセンスアンプ14に接続される。仮想グランド線7もA1で形成されており、バンク選択トランジスタ4及び5を介してメモリセルトランジスタ3のソースに接続される。仮想グランド線7の下方端部はコラム選択トランジスタ13及び仮想グランド選択線VSによって制御される仮想グランド選択トランジスタ15を介して接地される。主ビット線6と仮想グランド線7は隣り合うように配置されている。メモリセルは偶数コラム8、奇数コラム9のどちらかに属し、ビット線1の両端のバンク選択トランジスタ4及び5を切り換えることにより、偶数コラム8、奇数コラム9の選択を行うことができる。

【0005】 例えば、偶数コラムの読み出しは、偶数コラムバンク選択線10と、1本のワード線、例えばWL₁が選択されると共に「Hi」レベルとなり、メモリセル3⁺のソース・ドレインがA1の仮想グランド線7及び主ビット線6に接続される。このとき、奇数コラムバンク選択線11が、「Lo」レベルとなって奇数コラムバンク選択トランジスタ5はオフになっている。奇数コラムのメモリセル3⁻等のゲートにもワード線WL₁によって「Hi」レベルが印加されるが、奇数コラムのメモリセルのソース・ドレイン間はオン状態の偶数コラムバンク選択トランジスタ4を介して短絡されており、メモリセル3⁻はオフになっている。従って、バンクiの偶数コラムバンク選択線10と、ワード線WL₁が選択されると、メモリセル3⁺を通過する電流の有無によって、メモリセル3⁺に記録された内容がセンスアンプ14に読み出される。奇数コラムのメモリセルを読み出す場合も同様に行える。

【0006】 上述したように主ビット線6及び仮想グランド線7はA1線により形成され、偶数コラム及び奇数コラムの選択が行えるように配置されたA1-N⁺拡散コンタクト12を結びながら、コラム方向においてジグザグに配線される。A1ラインピッチはN⁺拡散ビット線ピッチの2倍あり、A1間スペースが十分確保出来るため、A1間ショート及びカップリングノイズを大幅に減少できる構成となっている。

【0007】

【発明が解決しようとする課題】 しかしながら、従来の構成では、メインビット線と仮想グランド線間に形成されるメモリセル列は2本のビット線による、1/2列、1列、1/2列である。メモリセルがワード線方向に1個分ずれているため、この分だけ、チップサイズが大きくなる。これは、メモリセルアレイの分割数を多くするほど影響が大きく、大容量のマスクROMにとって不具

10

20

30

40

50

合である。また、A1のメインビット線及び仮想グラント線が偶数列及び奇数列のメモリセルを選択するべくジグザグに曲がって配線されているために、その分だけ配線容量が増し、読み出しの高速化に不利である。

【0008】よって、本発明は、チップサイズを抑制し、メインビット線及び仮想グラント線のジグザグな配線を回避して大容量かつ高速な読出動作を実現し得る読出専用メモリを提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するため本発明の読出専用メモリは、平行な4本を単位グループとして繰り返し配列された複数のビット線と、上記ビット線と直交する複数のワード線と、上記ビット線及び前記ワード線の交差部をソース及びドレイン領域とし、上記交差部に挟まれる部分をチャンネル領域とするメモリセルトランジスタ群と、上記単位グループの第1及び第3のビット線の順方向側端と第2ビット線の一端とがトランジスタを介して接続される複数のメインビット線と、上記単位グループの第3のビット線の逆方向側端及び第4ビット線の一端と、次単位グループの第1のビット線の逆方向側端とがトランジスタを介して接続される複数の仮想接地線と、を基本となる記憶領域に備えることを特徴とする。

【0010】

【作用】上記の構成とすることにより、メインビット線及び仮想グラント線間には3本のビット線が存在し、これによってメインビット線及び仮想グラント線間にはワード線方向に2つのメモリトランジスタ列が形成される。このため、メインビット線及び仮想グラント線をジグザグに配線せずとも、ビット線とメインビット線間、あるいはビット線と接地線間の接続を断続するトランジスタを適切にオンオフ制御することにより所望のメモリセル列の選択が可能となる。

【0011】

【実施例】図1は、本発明のマスクROMの実施例を示しており、ROMの1バンク相当部分の等価回路を示している。図1に示された等価回路図において図8と対応する部分には同一符号を付し、共通する周囲の回路の記載は省略している。

【0012】同図において、複数のバンクに亘るメインビット線 \cdots , 6_1 , 6_2 , \cdots と仮想グラント線 \cdots , 7_1 , 7_2 , \cdots が交互に配置される。メインビット線 6_1 の上方接続点12₁と仮想グラント線 7_1 の下方接続点12₁間には、ビット線 1_{11} がコラム選択トランジスタ Q_{11} 及び Q_{12} を介して接続される。メインビット線 6_1 の上方接続点12₁と仮想グラント線 7_1 の下方接続点12₁間には、ビット線 1_{11} がコラム選択トランジスタ Q_{11} 及び Q_{12} を介して接続される。仮想グラント線 7_1 の下方接続点12₁とメインビット線 6_1 の上方接続点12₁間には、ビット線 1_{11} がコラム選択トランジスタ Q_{11}

及び Q_{12} を介して接続される。メインビット線 6_1 の上方接続点12₁と図示しない仮想グラント線 7_1 の下方接続点12₁間にはビット線 1_{11} がコラム選択トランジスタ Q_{11} 及び Q_{12} を介して接続される。ビット線 1_{11} 及びビット線 1_{11} 間にはMOSトランジスタ M_{11} 及び M_{12} が直列に接続され、両トランジスタ同士の接続点とメインビット線 6_1 の下方接続点12₁はコラム選択トランジスタ Q_{11} を介して接続される。ビット線 1_{11} 及びビット線 1_{11} 間にはMOSトランジスタ M_{11} 及び M_{12} が直列に接続され、両トランジスタ同士の接続点と仮想グラント線 7_1 の上方接続点12₁はコラム選択トランジスタ Q_{11} を介して接続される。ビット線 1_{11} 及びビット線 1_{11} 間にはMOSトランジスタ M_{11} 及び M_{12} が直列に接続され、両トランジスタ同士の接続点とメインビット線 6_1 の下方接続点12₁はコラム選択トランジスタ Q_{11} を介して接続される。コラム選択トランジスタ $Q_{11} \sim Q_{12}$ の各ゲートは選択線 S_1 に接続されてオンオフ制御される。コラム選択トランジスタ $Q_{11} \sim Q_{12}$ の各ゲートは選択線 S_2 に接続されてオンオフ制御される。

【0013】ビット線 $1_{11} \sim 1_{12}$ は1つの単位グループを、ビット線 $1_{11} \sim 1_{12}$ は次の単位グループを構成する。このような縦方向の配線がメモリ容量に応じて繰り返して配列される。

【0014】このビット線 $1_{11} \sim 1_{12}$ と直交するようにバンク1の記憶容量に対応した数のワード線 $WL_1 \sim WL_{12}$ が配置される。ビット線とワード線とが交差する領域にはメモリセルとしてMOSトランジスタ $M_{11} \sim M_{112}$ が配置される。すなわち、ビット線 1_{11} 及び 1_{11} 間に並列にトランジスタ M_{11} , M_{111} , M_{112} , \cdots , M_{1112} が接続される。ビット線 1_{11} 及び 1_{11} 間に並列にトランジスタ M_{12} , M_{121} , M_{122} , \cdots , M_{1212} が接続される。ビット線 1_{11} 及び 1_{11} 間に並列にトランジスタ M_{13} , M_{131} , M_{132} , \cdots , M_{1312} が接続される。同様に、ビット線 $1_{11} \sim 1_{12}$ 相互間にトランジスタ $M_{11} \sim M_{112}$ が接続される。行列状に配置されたトランジスタ $M_{11} \sim M_{112}$ の第1行のトランジスタ $M_{11} \sim M_{112}$ の各ゲートはワード線 WL_1 に接続される。ワード線 WL_1 は第2行のトランジスタ群の各ゲートに接続される。同様に、ワード線 $WL_1 \sim WL_{12}$ は夫々第3行～第16行のトランジスタ群の各ゲートに接続される。これらのトランジスタによるメモリセル3はNOR型構成であり、プログラム情報に応じてゲートに印加される所定電圧に対してトランジスタの導通、非導通が設定される。その他の構成は従来構成と同様であるので説明を省略する。

【0015】このように、各メインビット線には上方及び下方接続点により3本のビット線が接続され、各仮想グラント線にも上方及び下方接続点により3本のビット線が接続される。また、メインビット線の上方接続点及び仮想グラント線の下方接続点間はビット線により接続される。別言すれば、1本おきのビット線 1_{11} , 1_{11} ,

1₁₁、…によって仮想グランド線の下方接続点1 2、及びメインビット線の上方接続点1 2、間、メインビット線の上方接続点1 2、及び仮想グランド線の下方接続点1 2、間、仮想グランド線の下方接続点1 2、及びメインビット線の上方接続点1 2、間、…間は夫々接続される。また、メインビット線に近接するビット線1₁₁、1₁₁、…は夫々メインビット線6₁、6₁、…に接続される。仮想グランド線に近接するビット線1₁₀、1₁₀、…は夫々仮想グランド線7₁、7₁、…に接続される。

【0016】次に、メモリセルからの情報の読み出しについて説明する。上述した構成において、複数の仮想グランド線のうち1本、例えば仮想グランド線7₁を「Lo」レベルとする。選択線S1を「Lo」、選択線S2を「Hi」とする。ワード線はこのうち1本、例えばワード線WL₁₁のみを「H」レベルとする。

【0017】こうすると、選択トランジスタQ₁₁～Q₁₅はオフ、選択トランジスタQ₁₁～Q₁₅はオンとなる。トランジスタQ₁₁及びQ₁₁が導通することにより、ビット線1₁₁及び1₁₁間に電圧が印加される。また、トランジスタM₁₁₁～M₁₁₁のゲートには「H」レベルが印加される。従って、トランジスタM₁₁₁のみがソース・ドレイン間及びゲート・ソース間に電圧が印加される。こうして選択されたメモリセルM₁₁₁が通常のV_{th}(約1[V])ならば同図中に①として示すルートでメインビット線6₁から仮想グランド線7₁に電流が流れる。もし、選択されたメモリセルM₁₁₁のV_{th}が高い(7～8[V])場合には、電流は流れない。この電流は図示しないセンスアンプによって検出され、論理レベルに変換される。

【0018】また、メモリセルM₁₁のデータを読み出す場合には、複数の仮想グランド線のうち仮想グランド線7₁を「Lo」レベルとする。選択線S1を「Hi」レベル、選択線S2を「Lo」レベルとする。ワード線WL₁₁のみを「H」レベルとする。こうして選択されたメモリセルM₁₁が通常のV_{th}(約1[V])ならば、同図中に②として示されるルートでメインビット線から仮想グランド線に電流が流れる。もし、選択されたメモリセルのV_{th}が高い(7～8[V])場合には、電流は流れない。このようにして、メモリセルのデータを読み出すことができる。

【0019】図2は、上記等価回路をIC回路として形成した場合のメモリセルの平面図を示しており、対応する部分には同一符号を付している。

【0020】同図において、列方向に構成されたビット線1₁₁～1₁₅は、基板表面のN⁺拡散層により形成される。行方向に構成されたワード線2₁～2₁₅はポリサイドによって形成される。ビット線とワード線との交差部にMOSトランジスタのソース及びドレイン領域、該交差部の間に該MOSトランジスタのチャンネルが形成される。例えば、このチャンネルへの不純物拡散量によってス

レシホールド電圧V_{th}を設定することができる。このように形成されたメモリセル群はNOR型構成である。ビット線1₁₁及び1₁₁は夫々トランジスタQ₁₁及びQ₁₁を介してコンタクトホール1 2₁によりA1のメインビット線6₁に接続される。また、ビット線1₁₁はトランジスタQ₁₁を介してコンタクトホール1 2₁によりメインビット線6₁に接続される。ビット線1₁₁及び1₁₁は夫々トランジスタQ₁₁及びQ₁₁を介してコンタクトホール1 2₁によりA1の仮想グランド線7₁に接続される。また、ビット線1₁₁はトランジスタQ₁₁を介してコンタクトホール1 2₁により仮想グランド線7₁に接続される。例えば、ポリサイドで形成される選択線S1及びS2の斜線で示される領域には不純物イオン注入等によってチャンネルカット領域が形成される。

【0021】図2から明らかなように、メインビット線6₁、仮想グランド線7₁ともに直線状に配置することができるため、A1の配線容量が小さくなり、また、ビット線のN⁺コンタクト領域も小さくなるため、読み出しの高速化に有利になっている。

【0022】図3は、本発明の第2の実施例を示しており、図1に示された回路と対応する部分には同一符号を付している。この実施例では、第1の実施例に対し、選択線1及び2を夫々上側及び下側に配置し、メインビット線6₁の上方接続点1 2₁、1 2₅、…において3本のビット線を接続している。また、仮想グランド線7₁の下方接続点1 2₁、…において3本のビット線を接続している。このため、メインビット線及び仮想グランド線の接続点数が半減している。

【0023】この実施例で、例えばメモリセルM₁₁の内容を読み出す場合には、仮想グランド線7₁を「Lo」レベル、選択線S1を「Hi」レベル、選択線S2を「Lo」レベル、ワード線WL₁₁を「Hi」レベルに設定する。すると、選択トランジスタQ₁₁及びQ₁₁がオンになり、ゲートがワード線WL₁₁によってバイアスされたセルトランジスタM₁₁のV_{th}が低ければ導通して、図示の③のルートで読出電流が流れる。

【0024】このようにすると、選択されたメモリセルを流れる電流は上側から下側に流れるため、同図中の③及び④で示されるように選択されたメモリセルが異なっても電流経路の長さが等しく、N⁺拡散層によって形成されるドレイン・ソース部の抵抗の和はメモリセルの場所によらず常に一定になる。例えば、縦方向に16セルを1ブロックとすると、ドレイン・ソース部の抵抗の和は常に16セル分となる。この点、第1の実施例では、ドレイン・ソース部の抵抗の和はメモリセルの場所によって異なり、最大で32セル分となる。

【0025】従って、第2の実施例では1ブロックのメモリセル数を同じとした場合、ドレイン・ソースの寄生抵抗の影響が小さくなり、高速化に有利である。また、同じブロックのパターンを繰り返して大容量化するの

で、この方式では、32セルを1ブロックとした場合の寄生抵抗が第1の実施例で16セルを1ブロックとした場合と略同じとなり、32セルを1ブロックとすれば平均メモリセルサイズを小さくできる。また、ビット線のコンタクト部の数が減るため高速化に有利である。

【0026】図4は、第2の実施例をIC回路として形成した場合のメモリセルの平面図を示しており、図3に示された等価回路と対応する部分には同一符号を付している。同図において、3本のビット線1₁₁、1₁₂及び1₁₃とメインビット線6₁とがコンタクトホール12₁によって接続され、3本のビット線1₁₁、1₁₂及び1₁₃と仮想グラウンド線7₁とがコンタクトホール12₁で接続されている。また、ビット線1₁₁の一端のみがトランジスタQ₁₁を介してビット線1₁₁及び1₁₂に接続され、ビット線1₁₂の一端のみがトランジスタQ₁₂を介してビット線1₁₁及び1₁₃に接続される。これにより、コンタクトホールの数が少なく済むことが分かる。この例においても選択線S1及びS2には図中の斜線で示されるチャネルカット領域が形成されている。

【0027】図5は、第3の実施例を示しており、図4に示されたメモリセルの平面図と対応する部分には同一符号を付している。この実施例では、前述した第2の実施例に対し、チャネルカット領域50を必要最小限の大きさに小さくしている。こうすると、トランジスタのチャネル領域を大きくとれるためセル電流が大きくなって好都合である。

【0028】図6は、第4の実施例を示しており、図5に示されたメモリセルの平面図と対応する部分には同一符号を付している。この実施例においては、上から2本目の選択線S2下の選択トランジスタQ₁₁、Q₁₂、…、下から2本目の選択線S1下の選択トランジスタQ₁₁、Q₁₂、…のソース及びドレインをLDD (Lightly Doped Drain) 構造としている。

【0029】図7は、LDD構造としたトランジスタQ₁₁の上下方向の断面図であり、N⁺拡散層によって形成されたビット線1₁₁はトランジスタQ₁₁のソース及びドレインとなっており、ポリシリコンによって形成された選択線S2はゲートとなっている。まず、N⁺拡散層を形成し、その後、ポリシリコンゲートをマスクとするセルフアラインプロセスによってN⁺拡散層を形成する。LDD N⁺のプロセスはメモリ回路の周辺回路を形成するプロセスに用いられているので、このプロセスを利用して上記選択トランジスタをLDD構造とすることができる。これにより、チャネル長を短くして選択トランジスタを小形化し、回路パターンを縦方向に短くすることができる。

【0030】なお、上述した実施例では1層ポリシリコ

ンをワード線に用いた場合について説明したが2層ポリシリコンを用い1層目のポリシリコンと2層目のポリシリコンを交互に配置した構造にすることも可能である。こうすると、更に高密度化が可能になる。

【0031】こうして、一端がメインビット線に他端が仮想グラウンド線に電氣的に接続されるN⁺拡散層をワード線方向に1本おきに配置する構成を採用することにより、メインビット線及び仮想グラウンド線を直線状に配置することが可能となり、従来例の如くメモリセルを1個分ずらす必要がない。

【0032】

【発明の効果】以上説明したように本発明によれば、従来構成のように奇数及び偶数のメモリセル列を選択するためにメモリセルを1個ずらし、多数のメインビット線及び仮想グラウンド線の配線をジグザグに形成する必要がなく、メインビット線及び仮想グラウンド線の配線は共に真直ぐ配線される。これにより、セルアレーのデッドスペースがなく、チップサイズを小さくすることができる。また、配線をジグザグに曲げる必要がないため、配線容量は最小となり、ビット線のコンタクト部のN⁺拡散層の面積も小さく出来るため、読み出しの高速化に有利である。

【図面の簡単な説明】

【図1】本発明の読出専用メモリの等価回路を示す回路図。

【図2】図2に示された等価回路をIC回路として形成した場合のメモリセル領域の配線構造例を示す平面図。

【図3】本発明の第2の実施例の等価回路を示す回路図。

【図4】図3に示された等価回路をIC回路として形成した場合のメモリセル領域の配線構造例を示す平面図。

【図5】第2の実施例を改良した第3の実施例のメモリセル領域の配線構造例を示す平面図。

【図6】第3の実施例を改良した第4の実施例のメモリセル領域の配線構造例を示す平面図。

【図7】選択トランジスタQ₁₁の構造を示す断面図。

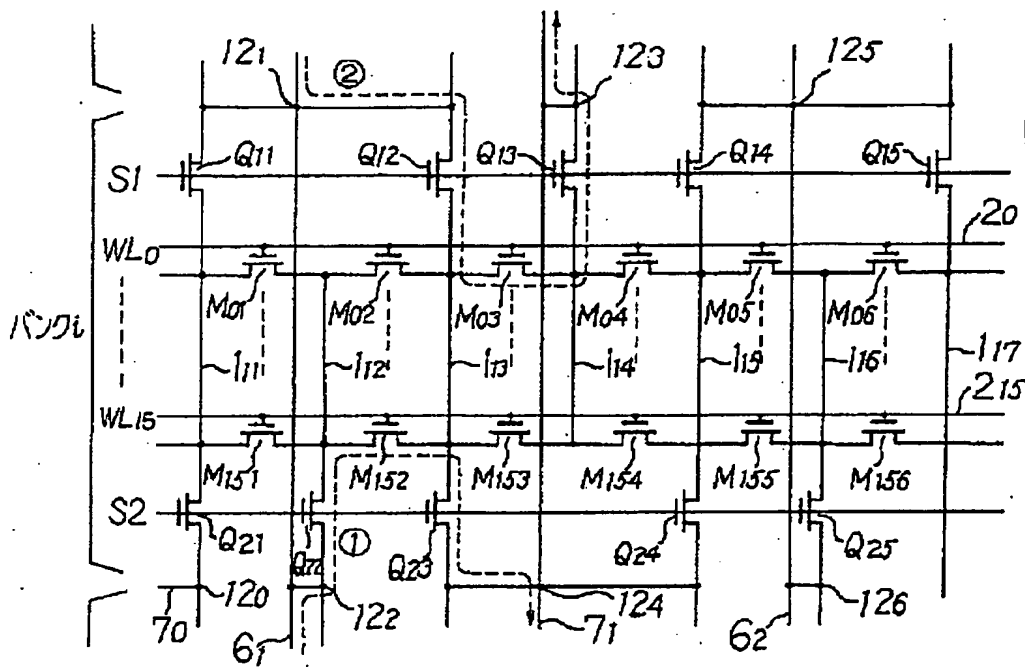
【図8】従来の読出専用メモリの例を示す等価回路図

【図9】図8に示された等価回路図をIC回路として形成した場合のメモリセル領域の配線構造例を示す平面図。

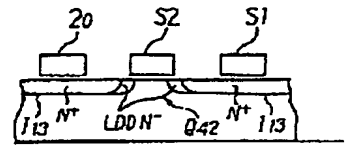
【符号の説明】

- 1 ビット線
- 2 ワード線
- 6 メインビット線
- 7 仮想グラウンド線
- 12 コンタクト
- S1, S2 選択線

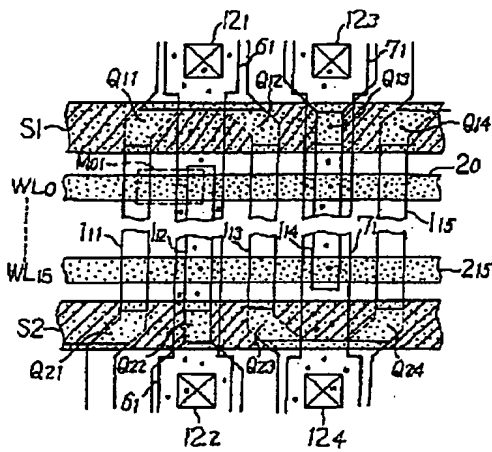
【図1】



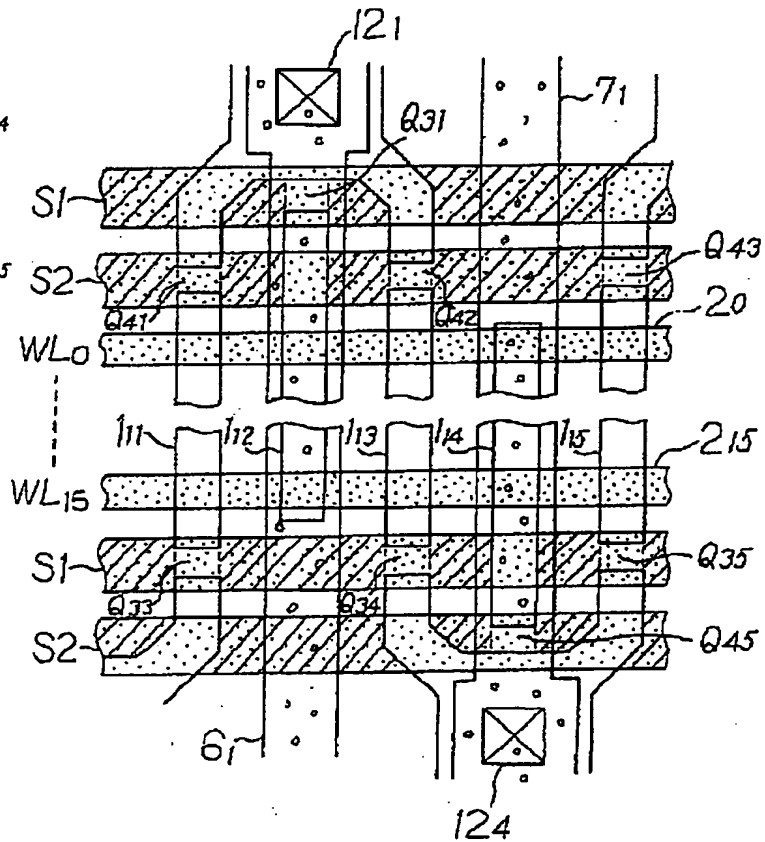
【図7】



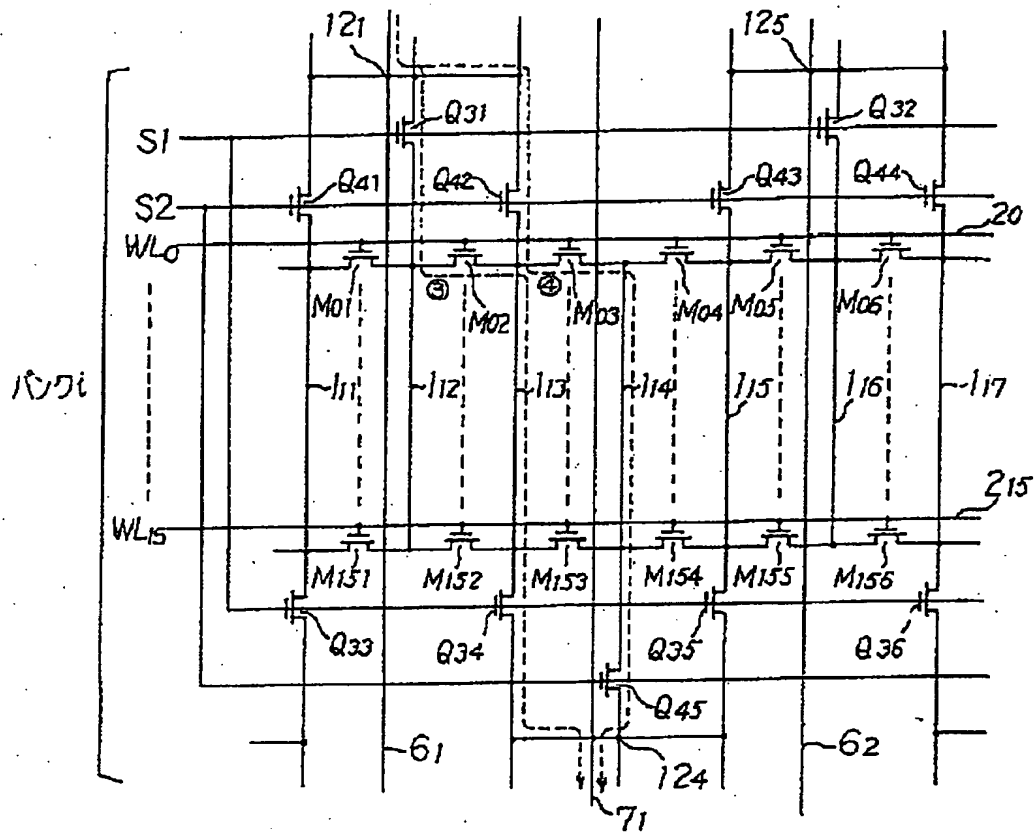
【図2】



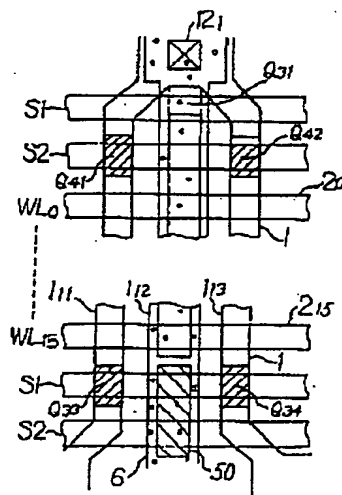
【図4】



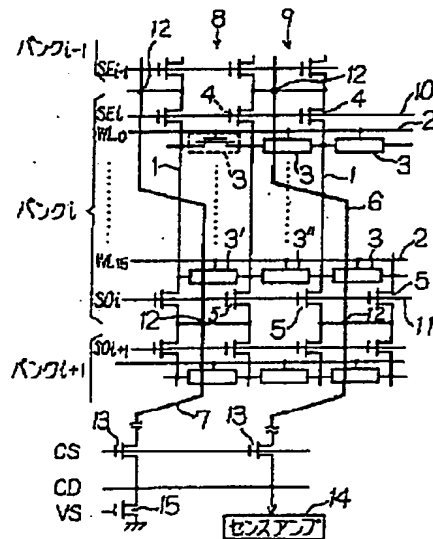
【図3】



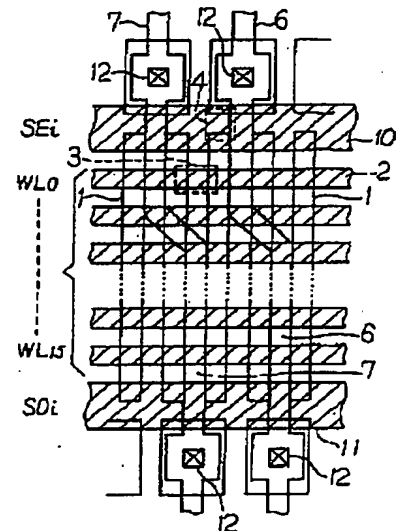
【図6】



【図8】



【図9】



【図5】

